



大韓民国特許庁 (KR)  
登 録 特 許 公 報 (B1)

・ Int. Cl. <sup>8</sup>

H01L 27/10

公開日 1998. 7. 25

出願日 1996. 10. 31

登録日 1999. 1. 19

公開番号 98-31930号

出願番号 96-51495号

登録番号 第190108号

特 許 権 者 三星電子株式会社 尹 ジョンヨン  
京畿道水原市八達区メタン3洞416番地

発 明 者 徐 ヨンウ  
京畿道水原市八達区メタン洞111-163  
金 ヨンピル  
京畿道水原市八達区メタン洞111-163  
姜 ミョング  
ソウル特別市瑞草区盤浦洞18-1住公アパート232-405号  
李 ウォンシク  
ソウル特別市松坡区文井洞ファミリーアパート207-501号

発明の名称：メモリセルを有する半導体素子のトランジスタの製造方法

要約

半導体素子のトランジスタの製造方法が開示されている。この方法は、セルアレイ領域及び論理回路領域を備えた半導体素子のトランジスタの製造方法において、セルアレイ領域に形成されるトランジスタのソース/ドレイン領域を、



1.  $0.5 \times 10^{17}$  乃至  $1.0 \times 10^{19} / \text{cm}^3$  の不純物濃度にてドーピングされた低濃度ソース/ドレイン領域として形成し、セルトランジスタ及び論理回路領域のトランジスタのゲートパターン、及びソース/ドレイン領域上に比抵抗の低い金属シリサイド膜を形成することを特徴とする。これにより、半導体素子の動作速度が低下することを防止しながら、セルアレイ領域内に形成された低濃度ソース/ドレイン領域の接合リーク電流の特性を改善することができる。

10-0190108

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> H01L 27/10		(45) 공고일자 (11) 등록번호 (24) 등록일자	1999년 06월 01일 10-0190108 1999년 01월 19일
(21) 출원번호 (22) 출원일자 (73) 특허권자 (72) 발명자 (74) 대리인	10-1996-0051495 1996년 10월 31일 삼성전자주식회사 윤중웅 경기도 수원시 팔달구 매탄3동 416번지 서영우 경기도 수원시 팔달구 매탄동 111-163 김영필 경기도 수원시 팔달구 매탄동 111-163 강연구 서울특별시 서초구 반포동 18-1 주공아파트 232-405호 이원식 서울특별시 송파구 문정동 헤말리아아파트 207-501호 권석훈, 노민식, 김영필	(65) 공개번호 (43) 공개일자	특 1998-0031930 1998년 07월 25일

심사관 : 강근모

(54) 메모리셀을 갖는 반도체소자의 트랜지스터 제조방법

요약

반도체소자의 트랜지스터 제조방법이 개시되어 있다. 이 방법은 셀 어레이 영역 및 논리회로 영역을 구비하는 반도체소자의 트랜지스터 제조방법에 있어서, 셀 어레이 영역에 형성되는 트랜지스터의 소오스/드레인 영역을  $1.0 \times 10^{17}$  내지  $1.0 \times 10^{19}/\text{cm}^2$ 의 불순물 농도로 도우핑된 저농도 소오스/드레인 영역으로 형성하고, 셀 트랜지스터 및 논리회로 영역의 트랜지스터의 게이트 패턴 및 소오스/드레인 영역 상에 비저항이 낮은 금속 실러사이드막을 형성하는 것을 특징으로 한다. 이에 따라, 반도체소자의 동작속도가 저하되는 것을 방지하면서 셀 어레이 영역 내에 형성된 저농도 소오스/드레인 영역의 접합 누설전류 특성을 개선시킬 수 있다.

도면

도 1

도 2

도면의 간단한 설명

도 1 내지 도 3은 종래의 트랜지스터 제조방법을 설명하기 위한 단면도들이다.

도 4 내지 도 7은 본 발명에 의한 트랜지스터 제조방법을 설명하기 위한 단면도들이다.

도면의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 제조방법에 관한 것으로, 특히 메모리 셀을 갖는 반도체소자의 트랜지스터 제조방법에 관한 것이다.

반도체소자의 종류에는 여러 가지가 있으며, 이들 여러 가지의 반도체소자 중에 메모리 셀에 데이터를 저장하거나 메모리 셀에 저장된 데이터를 외부로 전송시키는 기능을 갖는 반도체 기억소자 및 상기 반도체 기억소자로부터 입력되는 데이터를 연산처리하는 기능을 갖는 논리소자는 컴퓨터 및 가전제품에 널리 사용되고 있다.

한편, 컴퓨터 및 가전제품이 점점 소형화됨과 아울러 반도체소자의 성능, 예컨대 동작속도 및 잡음 여유도(noise margin) 또한 매우 중요한 특성중의 하나로 부각되고 있다. 이에 따라, 논리소자의 기능과 메모리 소자의 기능을 하나의 소자 내에 결합시킨(combining) 임베디드 메모리 논리소자(embedded memory logic device)가 출현하게 되었다. 이러한 임베디드 메모리 논리소자는 다수의 메모리 셀이 위치하는 셀 어레이 영역과, 상기 셀 어레이 영역 내에 저장된 정보를 연산처리하여 새로운 정보를 만들어내는 논리회로 영역으로 구성된다. 여기서, 상기 셀 어레이 영역 내의 메모리 셀로서 DRAM 셀 또는 SRAM 셀이 널리

리 사용되고 있으며, 임베디드 메모리 논리소자의 동작속도를 더욱 향상시키기 위하여 트랜지스터의 게이트 전극 및 소오스/드레인 영역 상에만 비저항이 낮은 금속 살리사이드막을 선택적으로 형성하는 살리사이드(salicide; self-aligned silicide) 공정기술이 널리 사용되고 있다. 또한, 상기 논리회로 영역의 집적회로로는 반도체소자의 전력소모 특성을 개선시키기 위하여 NMOS 트랜지스터 및 PMOS 트랜지스터로 구성된 상보형 MOS 회로(Complementary MOS circuit)가 널리 사용되고 있다. 이때, 상기 NMOS 트랜지스터 및 PMOS 트랜지스터의 게이트 전극이 모두 N형의 불순물로 도우핑된 경우에 NMOS 트랜지스터의 채널 영역에는 표면채널(surface channel)이 형성되는 반면에, PMOS 트랜지스터의 채널영역에는 매립형 채널(buried channel)이 형성된다. 이러한 매립형 채널이 형성된 PMOS 트랜지스터는 심한 짧은 채널 효과를 보며 NMOS 트랜지스터에 비하여 채널길이를 작게 형성하기가 어렵다는 사실은 널리 알려져 있다. 이에 따라, 최근에 NMOS 트랜지스터의 게이트 전극 및 PMOS 트랜지스터의 게이트 전극을 각각 N형 및 P형의 불순물로 도우핑시키면 NMOS 트랜지스터는 물론 PMOS 트랜지스터의 짧은 채널효과를 개선시키는 방법이 제안된 바 있다.

도 1 내지 도 3은 DRAM 셀을 사용하는 종래의 임베디드 메모리 논리소자의 트랜지스터 제조방법을 설명하기 위한 단면도들이다. 여기서 소개되는 각각의 도면들에 있어서, 참조부호 a 및 b로 표시한 부분은 각각 셀 어레이 영역 및 논리회로 영역을 나타낸다.

도 1은 게이트 산화막(9) 및 도전막(11)을 형성하는 단계를 설명하기 위한 단면도이다. 먼저, 반도체기판(1)의 주 표면에 통상의 트윈 웰 형성공정을 사용하여 P웰 영역 및 N웰 영역(7)을 형성한다. 여기서, 상기 P웰 영역은 제1 P웰 영역(5a) 및 제2 P웰 영역(5b)으로 구분되며, 제1 P웰 영역(5a)은 메모리 셀들이 형성되는 셀 어레이 영역(a)에 형성되고, 제2 P웰 영역(5b) 및 N웰 영역(7)은 논리회로 영역(b)에 형성된다. 다음에, 상기 결과물의 소정영역에 활성영역 및 비활성영역을 한정하는 소자분리막(3)을 형성하고, 상기 활성영역 상에 게이트 산화막(9)을 형성한다. 여기서, 상기 소자분리막(3)은 상기 트윈 웰 형성공정 전에 형성할 수도 있다. 이어서, 상기 게이트 산화막(9)이 형성된 결과물 전면에 언도우프트(undoped) 폴리실리콘막(11)을 형성한다.

도 2는 제1 내지 제3 게이트 패턴(11a, 11b, 11c), 셀 트랜지스터의 소오스/드레인 영역, 논리회로 영역의 NMOS 트랜지스터 및 PMOS 트랜지스터의 소오스/드레인 영역을 형성하는 단계를 설명하기 위한 단면도이다. 구체적으로 설명하면, 상기 언도우프트 폴리실리콘막(11)을 패터닝하여 상기 제1 P웰 영역(5a) 상에 형성된 게이트 산화막(9)의 소정영역 상에 제1 게이트 패턴(11a)을 형성함과 동시에, 상기 제2 P웰 영역(5b) 및 N웰 영역(7) 상에 형성된 게이트 산화막(9)의 소정영역 상에 각각 제2 게이트 패턴(11b) 및 제3 게이트 패턴(11c)을 형성한다. 이어서, 상기 제1 및 제2 게이트 패턴(11a, 11b) 및 상기 소자분리막(3)을 이온주입 마스크로하여 상기 제1 및 제2 P웰 영역(5a, 5b)에 N형 불순물을 선택적으로 이온주입하고 소정의 온도에서 열처리함으로써, 상기 제1 및 제2 게이트 패턴(11a, 11b) 양 옆의 활성영역 표면에 각각  $1.0 \times 10^{17}/\text{cm}^2$  내지  $1.0 \times 10^{18}/\text{cm}^2$ 의 불순물 농도를 갖는 제1 저농도 소오스/드레인 영역(13a) 및 제2 저농도 소오스/드레인 영역(13b)을 형성한다. 다음에, 상기 제3 게이트 패턴(11c) 및 상기 소자분리막(3)을 이온주입 마스크로하여 상기 N웰 영역(7)에 P형의 불순물을 선택적으로 이온주입하고 소정의 온도에서 열처리함으로써, 상기 제3 게이트 패턴(11c) 양 옆의 활성영역 표면에  $1.0 \times 10^{17}/\text{cm}^2$  내지  $1.0 \times 10^{18}/\text{cm}^2$ 의 불순물 농도를 갖는 제3 저농도 소오스/드레인 영역(15)을 형성한다.

계속해서, 상기 결과물 전면에 CVD 산화막을 형성하고 이를 이방성 식각하여 상기 제1 내지 제3 게이트 패턴(11a, 11b, 11c) 측벽에 스페이서(16)를 형성한다. 다음에, 상기 스페이서(16), 제1 및 제2 게이트 패턴(11a, 11b), 및 소자분리막(3)을 이온주입 마스크로하여 상기 제1 및 제2 P웰 영역(5a, 5b)에 N형의 불순물, 예컨대 비소이온(arsenic ion)을 선택적으로 이온주입하고 소정의 온도에서 열처리함으로써, 상기 제1 및 제2 게이트 패턴(11a, 11b) 양 옆의 제1 및 제2 저농도 소오스/드레인 영역(13a, 13b)에 각각  $1.0 \times 10^{17}$  내지  $1.0 \times 10^{18}/\text{cm}^2$ 의 불순물 농도로 도우핑된 N형의 제1 및 제2 고농도 소오스/드레인 영역(17a, 17b)을 형성한다. 이때, 상기 제1 및 제2 고농도 소오스/드레인 영역(17a, 17b)을 상기한 바와 같이  $1.0 \times 10^{17}/\text{cm}^2$  이상의 불순물 농도로 도우핑시키기 위해서는 상기 비소이온을  $1.0 \times 10^{15}$  내지  $5.0 \times 10^{15}$  ion atoms/ $\text{cm}^2$ 의 높은 도우즈로 이온주입하여야 한다. 이와 같이 비소이온을 높은 도우즈로 이온주입하면, 상기 제1 및 제2 고농도 소오스/드레인 영역(17a, 17b)에 이온주입 손상(ion implantation damage)이 가해져 디스로케이션(dislocation)과 같은 결정결함(crystalline defect)이 발생하며, 이러한 결정결함은 후속 열처리 공정을 실시할지라도 완전히 제거되지 않는다. 따라서, 제1 및 제2 고농도 소오스/드레인 영역(17a, 17b)과 제1 및 제2 P웰 영역(5a, 5b) 사이에 접합 누설전류가 증가한다.

상기 제1 및 제2 고농도 소오스/드레인 영역(17a, 17b)을 형성하고 나면, 도시된 바와 같이 제1 및 제2 게이트 패턴(11a, 11b) 측벽에 형성된 스페이서(16) 하부에 상기 제1 및 제2 저농도 소오스/드레인 영역(13a, 13b)이 잔존하며, 상기 제1 및 제2 게이트 패턴(11a, 11b)은 모두 N형의 불순물로 도우핑된다. 여기서, 상기 잔존하는 제1 저농도 소오스/드레인 영역(13a) 및 이와 접하는 제1 고농도 소오스/드레인 영역(17a)은 셀 트랜지스터의 LDD형 소오스/드레인 영역을 구성하며, 상기 잔존하는 제2 저농도 소오스/드레인 영역(13b) 및 이와 접하는 제2 고농도 소오스/드레인 영역(17b)은 논리회로 영역(b)의 NMOS 트랜지스터의 LDD형 소오스/드레인 영역을 구성한다.

이어서, 상기 스페이서(16), 제3 게이트 패턴(11c), 및 소자분리막(3)을 이온주입 마스크로하여 상기 N웰 영역(7)에 P형의 불순물을 선택적으로 이온주입하고 그 결과물을 소정의 온도에서 열처리함으로써, 상기 제3 게이트 패턴(11c) 양 옆의 제3 저농도 소오스/드레인 영역(15)에  $1.0 \times 10^{17}$  내지  $1.0 \times 10^{18}/\text{cm}^2$ 의 불순물 농도로 도우핑된 P형의 제3 고농도 소오스/드레인 영역(19)을 형성한다. 이와 같이 제3 고농도 소오스/드레인 영역(19)을 형성하고 나면, 도시된 바와 같이 제3 게이트 패턴(11c) 측벽에 형성된 스페이서(16) 하부에 상기 제3 저농도 소오스/드레인 영역(15)이 잔존하며, 상기 제3 게이트 패턴(11c)은 P형의 불순물로 도우핑된다. 여기서, 상기 잔존하는 제3 저농도 소오스/드레인 영역(15) 및 이와 접하는 제3 고농도 소오스/드레인 영역(19)은 논리회로 영역(b)의 PMOS 트랜지스터의 LDD형 소오스/드레인 영역을 구성한다.

도 3은 실리사이드(silicide: self-aligned silicide) 공정을 적용하여 제1 내지 제3 타이타늄 실리사이드막(21a, 21b, 21c)을 형성하는 단계를 설명하기 위한 단면도이다. 좀 더 상세히 설명하면, 상기 제3 고농도 소오스/드레인 영역(19)이 형성된 결과물을 전면 산화막 식각(blanket oxide etch)하여 제1 내지 제3 게이트 패턴(11a, 11b, 11c)을 노출시킨다. 이때, 상기 게이트 산화막(9)의 두께는 상기 스페이서(16)의 두께에 비하여 매우 얇으므로 상기 스페이서(16)의 높이 및 폭은 거의 변화를 보이지 않으며, 상기 제1 내지 제3 게이트 패턴(11a, 11b, 11c) 표면의 자연산화막도 함께 제거되어 제1 내지 제3 게이트 패턴(11a, 11b, 11c)의 표면도 노출된다. 이어서, 상기 결과물 상에 200Å 정도의 타이타늄막을 형성하고, 그 결과물을 질소 분위기에서 어닐링한다. 이와 같이 타이타늄막을 어닐링하면, 제1 게이트 패턴(11a) 및 제1 고농도 소오스/드레인 영역(17a) 표면에 제1 타이타늄 실리사이드막(21a)이 형성됨과 동시에, 제2 게이트 패턴(11b) 및 제2 고농도 소오스/드레인 영역(17b) 표면에 제2 타이타늄 실리사이드막(21b)이 형성되며, 또한, 제3 게이트 패턴(11c) 및 제3 고농도 소오스/드레인 영역(19) 표면에 제3 타이타늄 실리사이드막(21c)이 선택적으로 형성된다. 이때, 산화막으로 이루어진 스페이서(16) 및 소자분리막(3) 상에 형성된 타이타늄막은 반응하지 않은 상태로 잔존한다. 이어서, 상기 반응하지 않은 타이타늄막을 특정 화학용액, 예컨대 수산화암모늄이 함유된 용액으로 제거하여 게이트 패턴들(11a, 11b, 11c)과 이를 양 옆의 소오스/드레인 영역들을 서로 격리시킨다.

이어서 도시하지는 않았지만, 상기 결과물 상에 중간절연막을 형성하고, 상기 셀 트랜지스터의 소오스 영역(또는 드레인 영역)과 연결되는 비트라인을 형성한다. 다음에, 상기 비트라인이 형성된 결과물 전면에서 평탄화 절연막을 형성하고, 상기 셀 트랜지스터의 드레인 영역(또는 소오스 영역)과 연결되는 스토리지 전극, 유전막, 및 플레이트 전극으로 구성되는 셀 캐패시터를 형성함으로써 DRAM 셀을 완성한다.

상술한 종래의 트랜지스터 제조방법에 의하면, 제1 및 제2 고농도 소오스/드레인 영역, 특히 셀 트랜지스터의 소오스/드레인 영역을 구성하는 제1 고농도 소오스/드레인 영역에 결정결함이 생성되어 접합누설 전류를 증가시킨다. 따라서, 셀 캐패시터의 스토리지 전극에 저장된 전하가 쉽게 소멸되어 반도체소자의 오동작할 수 있다. 이러한 반도체소자의 오동작을 방지하기 위해서는 셀에 전하를 주기적으로 공급하는 리프레쉬 동작의 주기가 짧도록 회로를 설계하여야 한다. 그러나, 리프레쉬 동작의 주기가 짧은 회로를 채택하면, 반도체소자의 전력소모가 증가하는 문제점이 있다.

#### 본 발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 상기 문제점을 해결하기 위하여 안출된 것으로, 셀 어레이 영역 및 논리회로 영역에 형성되는 트랜지스터의 게이트 패턴 및 소오스/드레인 영역 표면에 비저항이 낮은 금속 실리사이드막을 선택적으로 형성하면서, 셀 어레이 영역에 형성되는 소오스/드레인 영역에 결정결함이 생성되는 것을 방지할 수 있는 반도체소자의 트랜지스터 제조방법을 제공하는 데 있다.

#### 본 발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여 본 발명에 따른 반도체소자의 트랜지스터 제조방법은 셀 어레이 영역 및 논리회로 영역을 구비하는 반도체소자의 트랜지스터 제조방법에 있어서, 반도체기판 상에 게이트 절연막 및 도전막을 차례로 형성하는 단계와, 상기 도전막을 패터닝하여 상기 셀 어레이 영역의 게이트 절연막의 소정영역 상에 제1 게이트 패턴을 형성함과 동시에, 상기 논리회로 영역의 게이트 절연막의 소정영역 상에 제2 게이트 패턴 및 제3 게이트 패턴을 형성하는 단계와, 상기 제1 내지 제3 게이트 패턴 양 옆의 반도체기판 표면 중에 적어도 상기 제1 및 제2 게이트 패턴 양 옆의 반도체기판 표면에 각각 제1 불순물 농도로 도우핑된 N형의 제1 및 제2 저농도 소오스/드레인 영역을 형성하는 단계와, 상기 제1 내지 제3 게이트 패턴 측벽에 스페이서를 형성하는 단계와, 상기 제2 게이트 패턴 양 옆의 제2 저농도 소오스/드레인 영역에 상기 제2 게이트 패턴 및 상기 제2 게이트 패턴 측벽에 형성된 스페이서를 이온주입 마스크로 하여 N형의 불순물을 이온주입함으로써, 상기 제1 불순물 농도보다 높은 제2 불순물 농도로 도우핑된 N형의 고농도 소오스/드레인 영역을 형성하는 단계와, 상기 제3 게이트 패턴 양 옆의 반도체기판 표면에 상기 제3 게이트 패턴 및 상기 제3 게이트 패턴 측벽에 형성된 스페이서를 이온주입 마스크로 하여 P형의 불순물을 이온주입함으로써, 상기 제1 불순물 농도보다 높은 제3 불순물 농도로 도우핑된 P형의 고농도 소오스/드레인 영역을 형성하는 단계와, 상기 결과물의 게이트 절연막을 전면 식각하여 상기 제1 내지 제3 게이트 패턴, 상기 제1 저농도 소오스/드레인 영역, 상기 N형의 고농도 소오스/드레인 영역, 및 상기 P형의 고농도 소오스/드레인 영역을 노출시키는 단계와, 상기 노출된 제1 내지 제3 게이트 패턴, 상기 노출된 제1 저농도 소오스/드레인 영역, 상기 노출된 N형의 고농도 소오스/드레인 영역, 및 상기 노출된 고농도 소오스/드레인 영역 표면에 금속 실리사이드막을 선택적으로 형성하는 단계를 포함하는 것을 특징으로 한다.

본 발명에 의하면, 제1 저농도 소오스/드레인 영역에 N형의 고농도 소오스/드레인 영역이 형성되는 것을 방지할 수 있다. 이에 따라, 셀 어레이 영역의 제1 저농도 소오스/드레인 영역에 결정결함이 생성되는 것을 방지할 수 있으므로, 제1 저농도 소오스/드레인 영역의 접합 누설전류 특성을 개선시킬 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 여기서 소개되는 도면들에 있어서, 참조부호 a 및 b로 표시한 부분은 각각 셀 어레이 영역 및 논리회로 영역을 나타낸다.

도 4는 게이트 절연막(109) 및 도전막(111)을 형성하는 단계를 설명하기 위한 단면도이다. 먼저, 반도체기판(101)의 주 표면에 통상의 트윈 웰 형성공정을 사용하여 P웰 영역 및 N웰 영역(107)을 형성한다. 여기서, 상기 P웰 영역은 제1 P웰 영역(105a) 및 제2 P웰 영역(105b)으로 구분되며, 제1 P웰 영역(105a)은 메모리 셀들이 형성되는 셀 어레이 영역(a)에 형성된 P웰 영역을 나타내고, 제2 P웰 영역(105b) 및 N웰 영역(107)은 논리회로 영역(b)에 형성되는 P웰 영역 및 N웰 영역을 나타낸다. 다음에, 상기 결과물의 소정영역에 결정영역 및 비결정영역을 한정하는 소자분리막(103)을 형성하고, 상기 결정영역 상에 게이트 절연막(109), 예컨대 열산화막을 80Å 내지 200Å의 두께로 형성한다. 여기서, 상기 소자분리막(103)은 상기 트윈 웰 형성공정 전에 형성할 수도 있다. 이어서, 상기 게이트 절연막(109)이 형성된 결과물 전면

에 도전막(111), 바람직하게는 불순물을 함유하지 않는 언도우프트(undoped) 폴리실리콘막을 형성한다.

도 5는 제1 내지 제3 게이트 패턴(111a, 111b, 111c), N형의 제1 및 제2 저농도 소오스/드레인 영역(113a, 113b), 및 P형의 저농도 소오스/드레인 영역(115)을 형성하는 단계를 설명하기 위한 단면도이다. 구체적으로 설명하면, 상기 언도우프트 폴리실리콘막(111)을 패턴닝하여 상기 제1 P웰 영역(105a) 상에 형성된 게이트 절연막(109)의 소정영역 상에 제1 게이트 패턴(111a)을 형성함과 동시에, 상기 제2 P웰 영역(105b) 및 N웰 영역(107) 상에 형성된 게이트 산화막(9)의 소정영역 상에 각각 제2 게이트 패턴(111b) 및 제3 게이트 패턴(111c)을 형성한다. 이어서, 상기 제1 및 제2 게이트 패턴(111a, 111b) 및 상기 소자부리막(103)을 이온주입 마스크로하여 상기 제1 및 제2 P웰 영역(105a, 105b)에 N형 불순물, 예컨대 인(P) 이온을 선택적으로 이온주입하고 상기 제3 게이트 패턴(111c) 및 상기 소자부리막(103)을 이온주입 마스크로하여 상기 N웰 영역(107)에 P형의 불순물, 예컨대 붕소(B) 이온을 선택적으로 이온주입한다. 다음에, 상기 결과물을 소정의 온도에서 열처리함으로써, 상기 제1 및 제2 게이트 패턴(111a, 111b) 양 옆의 활성영역 표면에 각각 제1 불순물 농도, 예컨대  $1.0 \times 10^{17}/\text{cm}^2$  내지  $1.0 \times 10^{18}/\text{cm}^2$ 의 불순물 농도를 갖는 N형의 제1 저농도 소오스/드레인 영역(113a) 및 제2 저농도 소오스/드레인 영역(113b)을 형성함과 동시에 상기 제3 게이트 패턴(111c) 양 옆의 활성영역 표면에  $1.0 \times 10^{17}/\text{cm}^2$  내지  $1.0 \times 10^{18}/\text{cm}^2$ 의 불순물 농도를 갖는 P형의 제3 저농도 소오스/드레인 영역(115)을 형성한다. 이때, 상기 제1 및 제2 게이트 패턴(111a, 111b)은 N형으로 도우핑되고, 상기 제3 게이트 패턴(111c)은 P형으로 도우핑된다. 여기서, 상기 제1 내지 제3 저농도 소오스/드레인 영역(113a, 113b, 115)을 형성하는 공정에 있어서, 상기 인 이온은 제1 P웰 영역(105a)에만 선택적으로 주입하고 상기 붕소 이온은 주입하지 않음으로써, 셀 어레이 영역(a)의 제1 P웰 영역(105a)에 제1 저농도 소오스/드레인 영역(113a)만을 형성할 수도 있다. 또한, 상기 제1 내지 제3 저농도 소오스/드레인 영역(113a, 113b, 115)을 형성하는 공정에 있어서, 상기 인 이온은 제1 내지 제3 게이트 패턴(111a, 111b, 111c)이 형성된 결과물 전면에 주입하고 상기 붕소 이온은 주입하지 않음으로써, 상기 제1 P웰 영역(105a) 및 상기 제2 P웰 영역(105b)에 각각 제1 저농도 소오스/드레인 영역(113a) 및 제2 저농도 소오스/드레인 영역(113b)을 형성함과 동시에 상기 제3 게이트 패턴(111c) 양 옆의 활성영역 표면에 상기 N웰 영역(107)보다 더 높은 농도를 갖는 N형의 저농도 소오스/드레인 영역을 형성할 수도 있다. 이와 같이 N웰 영역(107)에 N형의 저농도 소오스/드레인 영역을 형성하게 되면, 후속공정들에 의해 완성되는 PMOS 트랜지스터의 짧은 채널 효과를 더욱 개선시킬 수 있다.

계속해서, 상기 결과물 전면에 CVD 산화막 또는 CVD 질화막을 1000Å 내지 3000Å의 두께로 형성하고 이를 이방성 식각하여 상기 제1 내지 제3 게이트 패턴(111a, 111b, 111c) 측벽에 스페이서(117)를 형성한다.

도 6은 N형의 고농도 소오스/드레인 영역(119) 및 P형의 고농도 소오스/드레인 영역(121)을 형성하는 단계를 설명하기 위한 단면도이다. 먼저, 상기 스페이서(117)가 형성된 결과물 상에 상기 제2 P웰 영역(105b) 상부를 개구시키는 제1 포토레지스트 패턴(도시하지 않음)을 형성한다. 다음에, 상기 제1 포토레지스트 패턴, 제2 게이트 패턴(111b), 제2 게이트 패턴(111b) 측벽에 형성된 스페이서(117), 및 소자부리막(103)을 이온주입 마스크로하여 상기 제2 P웰 영역(105b)에 N형의 불순물, 예컨대 비소 이온(arsenic ion)을 선택적으로 이온주입하고 소정의 온도에서 열처리한다. 이때, 상기 비소 이온은  $1.0 \times 10^{17}$  내지  $5.0 \times 10^{18}$  ion atoms/ $\text{cm}^2$ 의 도우즈로 주입하여 상기 제2 게이트 패턴(111b) 양 옆의 제2 저농도 소오스/드레인 영역(113b)에만 상기 제1 불순물 농도보다 높은 제2 불순물 농도, 예컨대  $1.0 \times 10^{17}$  내지  $1.0 \times 10^{18}/\text{cm}^2$ 의 불순물 농도로 도우핑된 N형의 고농도 소오스/드레인 영역(119)을 형성한다. 이와 같이 N형의 고농도 소오스/드레인 영역(119)을 형성하면, 상기 셀 어레이 영역(a)의 제1 P웰 영역(105b)에는 N형의 고농도 소오스/드레인 영역(119)이 형성되는 것을 방지할 수 있다. 따라서, 셀 어레이 영역(a)의 활성영역에 비소이온 주입공정에 의한 이온주입 손상이 가해지는 현상을 피할 수 있으므로 상기 제1 저농도 소오스/드레인 영역(113a)에 디스로케이션과 같은 결정결함이 생성되는 것을 방지할 수 있다.

상기 N형의 고농도 소오스/드레인 영역(119)을 형성하고 나면, 도시된 바와 같이 제2 게이트 패턴(111b) 측벽에 형성된 스페이서(117) 하부에 제2 저농도 소오스/드레인 영역(113b)이 잔존하며, 상기 제2 게이트 패턴(111b)은 N형의 불순물로 완전히 도우핑된다. 여기서, 상기 잔존하는 제2 저농도 소오스/드레인 영역(113b) 및 이와 접하는 N형의 고농도 소오스/드레인 영역(119)은 논리회로 영역(b)의 NMOS 트랜지스터의 LDD형 소오스/드레인 영역을 구성한다.

이어서, 상기 제1 포토레지스트 패턴을 제거하고 상기 N웰 영역(107) 상부를 개구시키는 제2 포토레지스트 패턴(도시하지 않음)을 형성한다. 다음에, 상기 제2 포토레지스트 패턴, 제3 게이트 패턴(111c), 제3 게이트 패턴(111c) 측벽에 형성된 스페이서(117), 및 소자부리막(103)을 이온주입 마스크로하여 상기 N웰 영역(107)에 P형의 불순물, 예컨대 붕소(BF<sub>3</sub>) 이온을 선택적으로 주입하고 그 결과물을 소정의 온도에서 열처리함으로써, 상기 제3 게이트 패턴(111c) 양 옆의 제3 저농도 소오스/드레인 영역(115)에 상기 제1 불순물 농도보다 높은 제3 불순물 농도, 예컨대  $1.0 \times 10^{17}$  내지  $1.0 \times 10^{18}/\text{cm}^2$ 의 불순물 농도로 도우핑된 P형의 고농도 소오스/드레인 영역(121)을 형성한다. 이와 같이 P형의 고농도 소오스/드레인 영역(121)을 형성하고 나면, 도시된 바와 같이 제3 게이트 패턴(111c) 측벽에 형성된 스페이서(117) 하부에 상기 제3 저농도 소오스/드레인 영역(115)이 잔존하며, 상기 제3 게이트 패턴(111c)은 P형의 불순물로 완전히 도우핑된다. 여기서, 상기 잔존하는 제3 저농도 소오스/드레인 영역(115) 및 이와 접하는 P형의 고농도 소오스/드레인 영역(121)은 논리회로 영역(b)의 PMOS 트랜지스터의 LDD형 소오스/드레인 영역을 구성한다.

도 7은 살리사이드(salicide: self-aligned silicide) 공정을 사용하여 제1 내지 제3 금속 실리사이드막(123a, 123b, 123c)을 형성하는 단계를 설명하기 위한 단면도이다. 상세히 설명하면, 상기 P형의 고농도 소오스/드레인 영역(121)이 형성된 결과물의 게이트 절연막을 전면 식각(blanket etch)하여 제1 저농도 소오스/드레인 영역(113a), N형의 고농도 소오스/드레인 영역(119), 및 P형의 고농도 소

소스/드레인 영역(121)을 노출시킨다. 이때, 상기 제1 내지 제3 게이트 패턴(111a, 111b, 111c)의 표면에 형성된 자연산화막도 함께 제거되어 제1 내지 제3 게이트 패턴(111a, 111b, 111c)도 완전한 노출되며, 상기 상기 게이트 산화막(109)의 두께는 상기 스페이서(117)의 두께에 비하여 매우 얇으므로 상기 스페이서(117)의 높이 및 폭은 거의 변화를 보이지 않는다.

이어서, 상기 결과를 상에 내화성 금속막, 예컨대 타이타늄막을 수 백 Å의 두께로 형성하고, 그 결과물을 질소 분위기에서 열처리한다. 이와 같이 타이타늄막을 열처리하면, 제1 게이트 패턴(111a) 및 제1 저농도 소오스/드레인 영역(113a) 표면에 제1 금속 실리사이드막(123a)이 형성될 때 동시에, 제2 게이트 패턴(111b) 및 N형의 고농도 소오스/드레인 영역(119) 표면에 제2 금속 실리사이드막(123b)이 형성된다. 또한, 제3 게이트 패턴(111c) 및 P형의 고농도 소오스/드레인 영역(121) 표면에도 제3 금속 실리사이드막(123c)이 선택적으로 형성된다. 이때, 산화막 또는 절화막으로 이루어진 스페이서(117) 및 소자분리막(103) 상에 형성된 내화성 금속막, 즉 타이타늄막은 반응하지 않은 상태로 잔존한다. 이어서, 상기 반응하지 않은 타이타늄막을 특정 화학용액, 예컨대 수산화암모늄이 함유된 용액으로 제거하여 게이트 패턴들(111a, 111b, 111c)과 이들 양 옆의 소오스/드레인 영역들을 서로 격리시킨다. 이와 같이 형성된 제1 금속 실리사이드막(123a)은 제1 게이트 패턴(111a) 및 제1 저농도 소오스/드레인 영역(113a)과 함께 셀 트랜지스터를 구성하며, 제1 게이트 패턴(111a) 및 그 위에 형성된 제1 금속 실리사이드막(123a)은 셀 어레이 영역(a)의 워드라인을 구성한다. 그리고 상기 제1 내지 제3 금속 실리사이드막(123a, 123b, 123c), 즉 타이타늄 실리사이드막은 13 내지 20  $\mu\text{m}$  -cm의 낮은 비저항을 보이며 워드라인의 RC 지연시간(delay time)을 감소시키며, 논리회로 영역(b)에 형성된 NMOS 트랜지스터 및 PMOS 트랜지스터의 동작속도를 향상시킨다.

이어서 도시하지는 않았지만, 상기 결과를 상에 중간절연막을 형성하고, 상기 셀 트랜지스터의 제1 저농도 소오스 영역(또는 제1 저농도 드레인 영역) 상의 제1 금속 실리사이드막(123a)과 연결되는 비트라인을 형성한다. 다음에, 상기 비트라인이 형성된 결과물 전면에 평탄화 절연막을 형성하고, 상기 셀 트랜지스터의 제1 저농도 드레인 영역(또는 제1 저농도 소오스 영역) 상의 제1 금속 실리사이드막(123a)과 연결되는 스토리지 전극, 유전막, 및 플레이트 전극을 순차적으로 형성하여 셀 커패시터를 완성함으로써 DRAM 셀을 형성한다.

본 발명은 상기 실시예에 한정되지 않고 당업자의 수준에서 그 변형 및 개량이 가능하다. 예를 들어, 상기 논리회로 영역이 주변회로 영역에 해당하는 DRAM 소자에 본 발명을 적용하는 것이 가능하다.

#### 발명의 효과

상술한 바와 같이 본 발명의 실시예에 의하면, 셀 트랜지스터의 게이트 패턴 및 제1 저농도 소오스/드레인 영역 상에 제1 금속 실리사이드막을 선택적으로 형성함과 아울러 상기 제1 저농도 소오스/드레인 영역에 N형의 고농도 소오스/드레인 영역이 형성되는 것을 방지할 수 있다. 이에 따라, 워드라인의 RC 지연시간이 증가되는 현상을 방지하면서 셀 어레이 영역의 제1 저농도 소오스/드레인 영역에 결정결함이 생성되는 것을 방지할 수 있다. 결과적으로, 셀 커패시터의 스토리지 전극에 저장된 전하의 보유시간과 관련된 특성, 즉 셀의 정보유지 특성(data retention characteristics)을 개선시켜 셀의 오동작에 의한 소용저하를 개선시키는 물론 리프레쉬 주기가 긴 회로를 채택할 수 있으므로 저전력 반도체소자(low power semiconductor device)를 구현할 수 있다.

또한, 비트라인과 연결되는 제1 저농도 소오스 영역 상의 제1 금속 실리사이드막이 낮은 비저항을 가지므로 비트라인 저항을 감소시킬 수 있으며, 이에 따라 비트라인의 RC 지연시간 또한 감소시킬 수 있다. 결과적으로, 비트라인을 통하여 전송되는 정보의 액세스 시간(access time)을 감소시킬 수 있으므로 반도체소자의 동작속도를 개선시킬 수 있다.

#### (57) 청구의 범위

청구항 1. 셀 어레이 영역 및 논리회로 영역을 구비하는 반도체소자의 트랜지스터 제조방법에 있어서,

반도체기판 상에 게이트 절연막 및 도전막을 차례로 형성하는 단계;

상기 도전막을 패터닝하여 상기 셀 어레이 영역의 게이트 절연막의 소정영역 상에 제1 게이트 패턴을 형성함과 동시에, 상기 논리회로 영역의 게이트 절연막의 소정영역 상에 제2 게이트 패턴 및 제3 게이트 패턴을 형성하는 단계;

상기 제1 내지 제3 게이트 패턴 양 옆의 반도체기판 표면 중에 적어도 상기 제1 및 제2 게이트 패턴 양 옆의 반도체기판 표면에 각각 제1 불순물 농도로 도우핑된 N형의 제1 및 제2 저농도 소오스/드레인 영역을 형성하는 단계;

상기 제1 내지 제3 게이트 패턴 측벽에 스페이서를 형성하는 단계;

상기 제2 게이트 패턴 양 옆의 제2 저농도 소오스/드레인 영역에 상기 제2 게이트 패턴 및 상기 제2 게이트 패턴 측벽에 형성된 스페이서를 이온주입 마스크로하여 N형의 불순물을 이온주입함으로써, 상기 제1 불순물 농도보다 높은 제2 불순물 농도로 도우핑된 N형의 고농도 소오스/드레인 영역을 형성하는 단계;

상기 제3 게이트 패턴 양 옆의 반도체기판 표면에 상기 제3 게이트 패턴 및 상기 제3 게이트 패턴 측벽에 형성된 스페이서를 이온주입 마스크로하여 P형의 불순물을 이온주입함으로써, 상기 제1 불순물 농도보다 높은 제3 불순물 농도로 도우핑된 P형의 고농도 소오스/드레인 영역을 형성하는 단계;

상기 결과물의 게이트 절연막을 전면 식각하여 상기 제1 내지 제3 게이트 패턴, 상기 제1 저농도 소오스/드레인 영역, 상기 N형의 고농도 소오스/드레인 영역, 및 상기 P형의 고농도 소오스/드레인 영역을 노출시키는 단계; 및

상기 노출된 제1 내지 제3 게이트 패턴, 상기 노출된 제1 저농도 소오스/드레인 영역, 상기 노출된 N형의 고농도 소오스/드레인 영역, 및 상기 노출된 고농도 소오스/드레인 영역 표면에 금속 실리사이드막을 선택적으로 형성하는 단계를 포함하는 것을 특징으로 하는 반도체소자의 트랜지스터 제조방법.

청구항 2. 제1항에 있어서, 상기 제1 불순물 농도는  $1.0 \times 10^{17}$  내지  $1.0 \times 10^{19}/\text{cm}^3$ 인 것을 특징으로 하는 반도체소자의 트랜지스터 제조방법.

청구항 3. 제1항에 있어서, 상기 제2 불순물 농도 및 상기 제3 불순물 농도는  $1.0 \times 10^{17}$  내지  $1.0 \times 10^{19}/\text{cm}^3$ 인 것을 특징으로 하는 반도체소자의 트랜지스터 제조방법.

청구항 4. 제1항에 있어서, 상기 게이트 절연막은 열산화막으로 형성하는 것을 특징으로 하는 반도체소자의 트랜지스터 제조방법.

청구항 5. 제4항에 있어서, 상기 열산화막은 80 Å 내지 200 Å의 두께로 형성하는 것을 특징으로 하는 반도체소자의 트랜지스터 제조방법.

청구항 6. 제1항에 있어서, 상기 스페이서를 형성하는 단계는

상기 제1 및 제2 저농도 소오스/드레인 영역이 형성된 결과물 전면에 CVD 절연막을 형성한 후에, 이를 이방성 식각함으로써 형성하는 것을 특징으로 하는 반도체소자의 트랜지스터 제조방법.

청구항 7. 제6항에 있어서, 상기 CVD 절연막은 CVD 산화막 및 CVD 질화막 중 어느 하나인 것을 특징으로 하는 반도체소자의 트랜지스터 제조방법.

청구항 8. 제6항에 있어서, 상기 CVD 절연막은 1000 Å 내지 3000 Å의 두께로 형성하는 것을 특징으로 하는 반도체소자의 트랜지스터 제조방법.

청구항 9. 제1항에 있어서, 상기 도전막은 언도우프트 폴리실리콘막인 것을 특징으로 하는 반도체소자의 트랜지스터 제조방법.

청구항 10. 제1항에 있어서, 상기 금속 실리사이드막을 선택적으로 형성하는 단계는

상기 제1 내지 제3 게이트 패턴, 상기 제1 저농도 소오스/드레인 영역, 상기 N형의 고농도 소오스/드레인 영역, 및 상기 P형의 고농도 소오스/드레인 영역이 노출된 결과물 전면에 내화성 금속막을 형성하는 단계;

상기 내화성 금속막이 형성된 결과물을 질소 분위기에서 열처리하여 상기 노출된 제1 내지 제3 게이트 패턴, 상기 노출된 제1 저농도 소오스/드레인 영역, 상기 노출된 N형의 고농도 소오스/드레인 영역, 및 상기 노출된 P형의 고농도 소오스/드레인 영역 표면에 상기 내화성 금속막이 반응하여 생성된 금속 실리사이드막을 형성하는 단계; 및

상기 결과물을 특정 화학용액에 담구어 상기 스페이서 및 상기 소자분리막 표면에 잔존하는 반응하지 않은 내화성 금속막(unreacted refractory metal layer)을 제거하는 단계로 이루어지는 것을 특징으로 하는 반도체소자의 트랜지스터 제조방법.

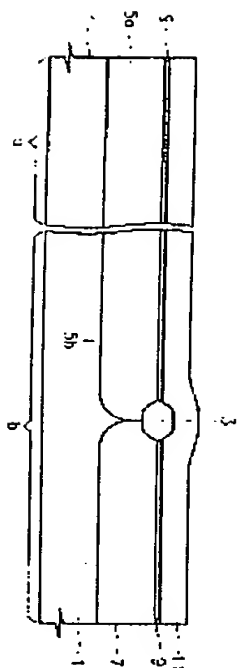
청구항 11. 제10항에 있어서, 상기 내화성 금속막은 타이타늄막인 것을 특징으로 하는 반도체소자의 트랜지스터 제조방법.

청구항 12. 제10항에 있어서, 상기 특정 화학용액은 수산화 암모늄이 함유된 용액인 것을 특징으로 하는 반도체소자의 트랜지스터 제조방법.

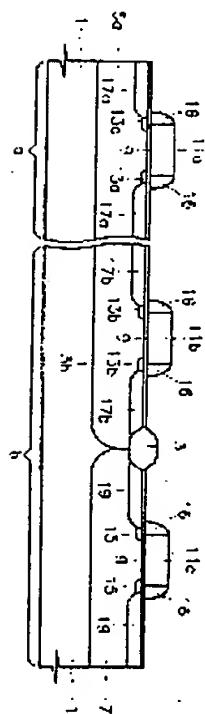
도면



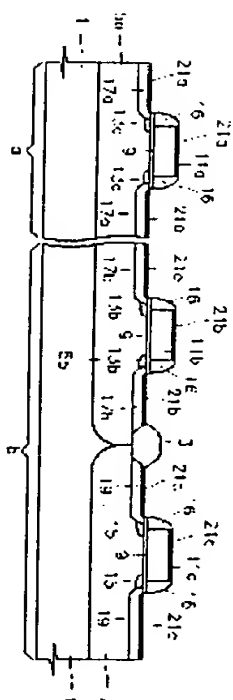
도 1



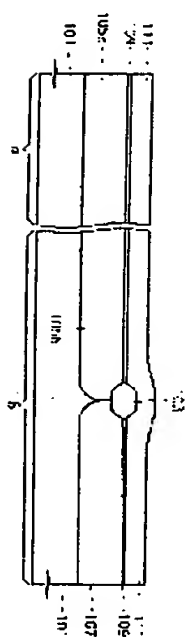
도 2



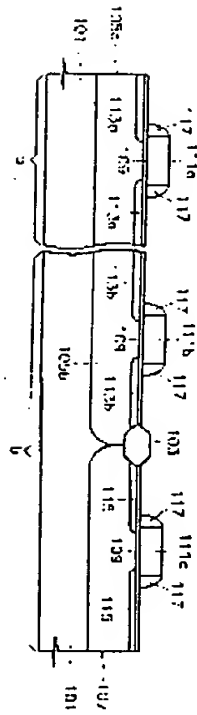
**END**



**도표4**



도 215



도 216

